

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年8月12日 (12.08.2004)

PCT

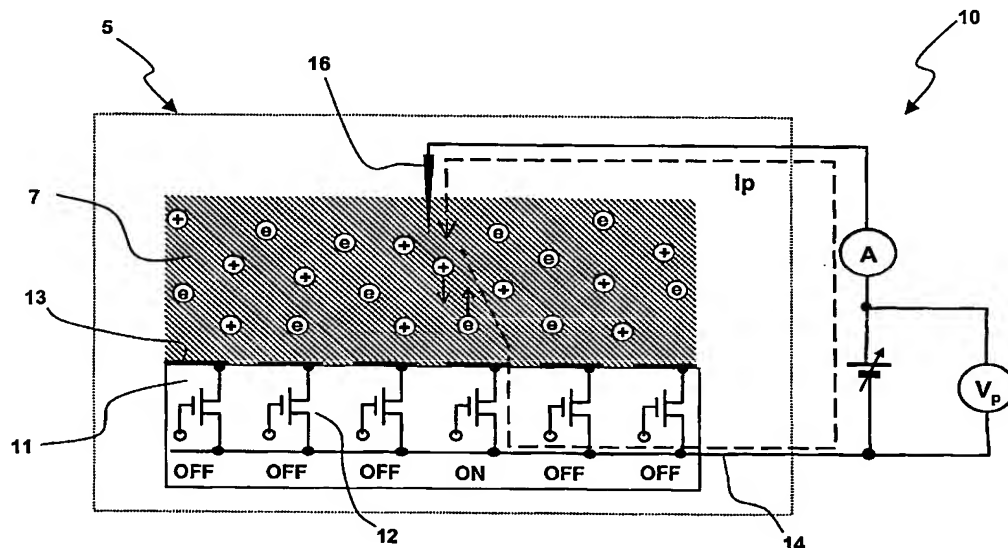
(10) 国際公開番号
WO 2004/068155 A1

- (51) 国際特許分類⁷: G01R 31/302 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/000631 (75) 発明者/出願人(米国についてののみ): 上野 俊明 (UENO, Toshiaki) [JP/JP]; 〒2450061 神奈川県横浜市戸塚区汲沢6-36-8 Kanagawa (JP). 山田 範秀 (YAMADA, Norihide) [JP/JP]; 〒1850013 東京都国分寺市西恋ヶ窪1-9-47 Tokyo (JP).
(22) 国際出願日: 2004年1月23日 (23.01.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-018042 2003年1月27日 (27.01.2003) JP
(71) 出願人(米国を除く全ての指定国について): アジレント・テクノロジーズ・インク (AGILENT TECHNOLOGIES, INC.) [US/US]; 943060670 カリフォルニア州パロ・アルトページ・ミル・ロード395 California (US).
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: PROBE DEVICE AND DISPLAY SUBSTRATE TESTING APPARATUS USING SAME

(54) 発明の名称: プローブ装置及びそれを用いたディスプレイ基板の試験装置



(57) Abstract: A plasma (7) having a certain density is generated between a test electrode (16) and an electrode (13) on a display substrate (11) comprising a TFT array which is a circuit under test, and a test signal is transmitted between the electrode (13) and the test electrode (16) via the plasma (7). With this technique, a probe means and a testing apparatus enabling to measure the electrical characteristics of the TFT array formed on the display substrate (11) in a non-contact manner can be provided.

(57) 要約: 被試験回路であるTFTアレイを含むディスプレイ基板(11)上の電極(13)と試験電極(16)との間に所定の密度を有するプラズマ(7)を生成し、このプラズマ(7)を介して電極(13)と試験電極(1

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

プローブ装置及びそれを用いたディスプレイ基板の試験装置

5 技術分野

本発明は、液晶ディスプレイ或いは有機 EL ディスプレイパネルの生産段階における電気的特性試験に係り、特に薄膜トランジスタ（以下に TFT と呼ぶ）アレイの電気的試験に好適なプローブ装置及びそれを用いたディスプレイ基板試験装置に関する。

10

背景技術

液晶ディスプレイにおいては、高画素数化と大画面化が追求されており、近年要求される高い画像品質を実現するために、TFT[Thin Film Transistor]を用いたアクティブマトリクス方式が主流になっている。また、バックライトを必要とする液晶ディスプレイに対して、自己発光型の有機 EL（又は OLED[Organic Light Emitting Diode] ともいう。）は、液晶ディスプレイにはない利点を有し、近年急ピッチに開発が進められている。

TFT 方式の液晶ディスプレイ又は有機 EL ディスプレイの生産において、TFT アレイをガラス基板上に形成した段階、即ち液晶の封入あるいは有機 EL 塗布工程の前に、完成した TFT アレイが電氣的に動作するか否かを電氣的に試験する、いわゆる TFT アレイテストを行うことは、ディスプレイ生産における最終完成品の歩留まりを向上する上で非常に重要である。TFT アレイテストの段階で、もしも特定の画素を駆動する TFT 回路に電氣的不良が発見された場合には、TFT アレイテストの情報に基づいて、その不良が回復可能な場合には欠陥の修正処置が施される。

また、不良個所が多く、事前にディスプレイ組立後の出荷検査において不良と判断される場合には、以後の工程を停止できる。即ち、そのような不良製品について、液晶方式の場合は、カラーフィルタとの接着及び液晶封入工程、有機 EL 方式の場合は、有機 EL の塗布工程といったその後のコストのかかる工程を省略できるというメリットがある。

TFT アレイはディスプレイの画素数に応じた数だけガラス基板上に形成され、通常は複数個の TFT を用いて 1 画素分の駆動回路を形成する。近年、TFT アレイの形成にはアモルファスシリコンあるいは低温ポリシリコンを用いるのが一般的である。主流である液晶ディスプレイにおける代表的な 1 画素分の TFT 駆動回路の例を図 1 3 に示す。図において、2 5 0 はデータ線、2 5 1 はゲート線、2 5 2 はコモン線、2 5 3 は液晶、2 5 4 は ITO (インジウム錫酸化物) を用いた透明電極を示す。通常、図 1 3 に示すような駆動回路が 2 次元状に画素の数だけガラス基板上に形成されたものを TFT アレイと呼んでいる。実際の液晶用 TFT アレイテストは液晶 2 5 3 の封入前に行われるのが一般的であるため、図 1 3 においては液晶 2 5 3 が無い状態で駆動回路の電氣的試験が行われる。

即ち、TFT アレイを形成した段階のガラス基板の表面には、露出した ITO 電極 2 5 4 が画素の数だけ二次元的に配列されることになる。この様な駆動回路の試験方法としては、TFT を電氣的にスイッチングさせて、正常な電位が ITO 電極 2 5 4 の表面に発生しているかどうかを計測して判断するのが一般的である。電圧をデータ線 5 0 に印加した状態で、試験対象となる駆動回路のゲート線 2 5 1 に電圧を印加することで、選択した TFT Tr をオン状態に設定できる。この時に、ITO 電極 2 5 4 にデータ線の印加電圧と同じ電圧が生じていれば TFT Tr は正常であると判断できる。

ITO の表面電位の測定方法としては、(1) 一旦静電容量 Cs に貯えられた電荷を反対にデータ線を介して読み出す方法、(2) 電子ビームを ITO 表面に照射して、表面電位に対応して発生する二次電子の量から電位を測定する方法、(3) ポッケルス効果などの電気-光非線型効果を用いて光情報として間接的に電位を測定する方法などが提案されている。

従来、図 1 3 に示す液晶用駆動回路の例ではこの様に ITO の表面電位を測定することで駆動回路の良否判定を行うことが可能であった。一方、有機 EL ディスプレイの場合には、バックライトを必要としない自発光ディスプレイであるために、各々の画素の輝度を制御可能とすべく、各素子の駆動電流の制御能力が必要となる。このため、TFT アレイテストとしては、有機 EL を塗布する前に ITO 等からなる電極表面から駆動回路の電流駆動能力を測定しなければならない。従って、従来用

いられてきた定電圧駆動回路の特性評価を対象とした液晶用 TFT アレイテストでは、有機 EL ディスプレイの評価には対応出来なかった。

上述の課題を解決するべく、追加の検査用導電膜を利用する検査方法（日本国特許公開公報第 2002-108243 号参照）、及び TFT アレイの画素電極と対向
5 検出電極との間に電解液を充填させる検査方法（日本国特許公開公報第 2002-72198 号参照）等が提案されている。しかしながら、前者によれば、検査のために導電膜を作成し、検査後にはこれを除去する必要がある、追加の工程が必要になるため不良発生の要因も増えることになるので、生産の歩留まり等を考慮した場合に、必ずしも好適とは言えない。後者によれば、TFT アレイを含む基板は、必ず
10 しも電解液に浸すべきでない部品も含まれるので、やはり不良発生の要因を形成し得る。従って、このような「ウェット」プロセスは避けられることが好ましい。更に、他の方法として、検査電極の背面に電磁波源を配置して、該電磁波源で発生した X 線等の電磁波が検査電極を透過するようにし、この電磁波によって透過検査電極と画素電極との間の空気を電離して、検査電極と画素電極との間に電流が流れる
15 ようにする方法が考えられている（日本国特許公開公報第 2002-123190 号参照）。しかしながら、かかる構成では、回路の電氣的な導通は検査できるとしても、TFT 等の素子の動作を検査するに十分な電流密度を得ることはできない。

そこで、本発明の目的は、ディスプレイ基板上に形成された TFT アレイの電氣的特性を試験するための試験装置にあって、特に有機 EL 等の電流駆動型 TFT ア
20 レイの電流駆動能力を有機 EL の塗布工程の前に、ITO 表面に物理的に接触することなく計測を行うことのできるプローブ手段を提供することにある。また、本発明の他の目的は、かかるプローブ手段を用いたディスプレイ基板の試験装置を提供することにある。

25 発明の開示

本発明のプローブ装置は、被試験対象の TFT アレイを形成したガラスディスプレイ基板と、ガラスディスプレイ基板から離れて設置されるプラズマ中に試験用信号を注入するための電流注入電極と、被試験回路に接続される ITO 電極と電流注入電極との間の空間をプラズマで満たすためのプラズマ発生手段と、電流注入電極と

TFT アレイとの間に電圧を加えてプラズマ中に電流を流すためのアレイ試験用電源と、TFT アレイを電氣的に順次オンオフ制御するための信号を発生するための TFT アレイ制御装置とによって構成される。

- 5 プラズマは高周波や放電によって供給されたエネルギーによって、物質がマイナスとプラスを帯びたイオンに電離した状態にある。また電氣的に中性でかつ、加えた電界によってイオンの移動を生ずることから導電性を有する。このために導電媒体として用いることが可能であり、プラズマで満たした ITO と電流注入電極との間に電界を加えると、イオン伝導によってプラズマを介して電流を流すことができる。

- 10 この様にプラズマを導電媒体として用いることによって、ITO 表面に物理的に接触することなく TFT アレイの電流駆動能力を試験出来る手段を提供できる。ITO 電極の表面はプラズマ中に曝されており、プラズマの一方の端には試験用電流をプラズマ中に流すための電流注入電極が同様にプラズマに曝されている。導電媒体となるプラズマを発生するためのプラズマ発生手段は、試験に必要な導電率をプラズマに得るための、プラズマ密度を有する。TFT 素子の検査のためには、例えば、略
- 15 $1\ \mu\text{A}$ 乃 $10\ \mu\text{A}$ 程度、好ましくは数 μA 乃至 $10\ \mu\text{A}$ 程度の電流が要求される。プラズマ中の電子を導電の主な担い手とする場合には、電子温度の高いプラズマが必要である。後述の実施形態に関連して、図中には電流注入電極は針の形状にして例示しているが、形状はこれに限定されず、例えば平行板でも得られる効果に変わりはない。

- 20 試験対象 TFT のドレインに接続された ITO 電極に、TFT アレイ制御装置によって外部からデータ線とゲート線とを制御して、TFT をオン状態に設定する。この時、TFT のソースに共通に接続されるドライブ線と電流注入電極との間に電圧を加えると、プラズマを介して電流注入電極と ITO 電極との間に電流 I_p が流れる。このプラズマ中を流れる電流を計測することによって、TFT の電流駆動能力を知ることが出来る。同様にしてプラズマに接する駆動回路を順次オン状態にして、プラズマ中を流れる電流を計測すればディスプレイ上の TFT アレイの全ての電氣的特性を試験できる。また、プラズマ電流中を流れる電流 I_p を、有機 EL の最大駆動電流に設定すれば、実際に有機 EL を ITO 電極表面に塗布する前に、事前にパネル上の
- 25 全ての TFT の電流駆動能力を試験できる。

駆動回路の持つ最大駆動電流に設定しても TFT に所望の電流が流れない場合には TFT の不良が、また試験対象の TFT をオンに設定したにも係わらずプラズマ中に電流が流れない場合は、試験対象 TFT の短絡不良或いは配線の断線などが疑われる。プラズマ電流と TFT を流れる電流が一致しない場合には、TFT のゲートリ
5 ークやドライブ線側での電流リークが疑われる。この様にして TFT アレイの不良診断が可能となり、有機 EL 塗布工程の前に通常行われる不良救済を行う場合の判断基準を提供できる。この為、有機 EL ディスプレイパネルの製造において最終組立製品の不良の歩留まりを大きく向上できる。

本発明のプロープ装置とこれを用いたディスプレイ基板試験装置を用いること
10 によって、針などを用いた物理的接触プロープと比較して、ITO 表面に損傷を与えない試験手段を提供できる。更に、プラズマを同時に複数の TFT アレイに照射することによって、TFT アレイ制御装置による TFT アレイの外部からの電氣的な切り替えのみで高速に試験できる。また、ITO 電極への物理的接触プロープを用いた
15 場合に必須となるプロープの機械的な位置合わせが不要となることから、全ての TFT アレイの試験を短時間で行うことが出来る。今日、高密度のプラズマ発生手段は、シリコン LSI プロセスにおいて薄膜成膜やエッチング等に広く用いられており、プラズマの発生条件やガスの種類を選ぶことによって ITO 電極に対して化学的に
20 反応しないプラズマを発生することが可能である。尚、ITO 表面に損傷を与えないためには、グロー放電プラズマを使用することが好ましい。

20 即ち、本発明は、被試験回路に接続される電極又は配線と試験電極との間に比較的高密度のプラズマを生成し、該プラズマを介して前記電極又は配線と前記試験電極との間に試験信号を伝送させ、前記電極又は配線に対して非接触にして前記被試験回路を試験できるよう構成されることを特徴とするプロープ装置を提供する。

25 好ましくは、前記被試験回路は、基板上に形成された複数の薄膜トランジスタを含む電子回路とされる。

好ましくは、前記基板は、ディスプレイ用基板であり、前記被試験回路及び前記電極或いは配線は、ディスプレイの 1 画素を駆動するための駆動回路を構成し、該駆動回路は前記基板上に二次元アレイを形成する。

好ましくは、前記駆動回路の複数単位に亘って前記プラズマを連続するように生

成し、試験される所定の駆動回路のみをオン状態にして前記所定の駆動回路に前記試験信号を流入させることにより、前記所定の駆動回路の電気的特性を試験する。

- 好ましくは、前記試験電極と、前記電極又は配線との間に制御電極を設け、該制御電極に加える電位を制御することによって、前記プラズマを介して伝送される前記試験信号の通過レベルを制御する。

好ましくは、前記試験電極と、前記被試験回路の各々に独立して接続される2つのバイアス電源を備え、前記プラズマと試験電極及び前記電極又は配線のそれぞれとの界面近傍の電界を前記バイアス電源の一方又は双方によって制御できるよう構成する。

- 10 好ましくは、前記駆動回路の各単位的位置に対応して前記プラズマを前記基板上で分離させて生成し、且つ分離された位置毎に前記試験電極を設け、それぞれの位置で前記駆動回路に前記試験信号を流入させることにより、前記駆動回路の電気的特性を試験する。

- 15 好ましくは、更に、前記プラズマを発生するプラズマ発生源と、前記プラズマを閉じ込めつつ少なくとも前記駆動回路の前記電極又は配線に対して解放する構成のチャンバ構造とを有する。

好ましくは、更に、前記チャンバ構造の外周に沿う位置に、前記プラズマを排気する手段又はエアカーテン手段のいずれかを備える。

- 20 好ましくは、前記プラズマは、前記被試験回路に流れる電流を略 $1 \mu\text{A}$ 乃至 $10 \mu\text{A}$ とすることのできるプラズマ密度を有する。

好ましくは、前記プラズマは、前記電極又は配線に対して化学的に不活性とされる。

好ましくは、前記プラズマは、少なくとも酸素を電離した成分を含む。

- 25 更に、本発明は、上述のプロープ装置と、前記試験電極に提供される試験信号を発生する信号発生源と、前記試験信号と、前記基板上の前記駆動回路の各々に前記プラズマ及び前記電極又は配線を介して前記試験信号が流入したときに前記駆動回路から出力される出力信号とを比較する信号比較器とを備えることを特徴とするディスプレイ基板の試験装置を提供する。

好ましくは、ディスプレイ基板の試験装置は、プロープ装置を試験対象電子回路

或いはディスプレイ基板表面に沿って水平二次元方向に移動するための XY 移動手段を備える。

上述の構成、或いは後述する実施形態からも理解されるように、本発明は、以下のような効果を奏する。

- 5 (1) プラズマを導電媒体として用いることで、試験対象の TFT アレイの表面に物理的な接触をすることなく TFT アレイの電気的な特性を試験できることから、ITO 電極表面に物理的な損傷を与えないプローブ手段を提供できる。
- (2) プラズマを導伝する電流から TFT アレイの不良個所と不良モードを特定できることから、TFT アレイの欠陥救済に必要な試験情報を得ることができる。
- 10 (3) 電流駆動が必要な有機 EL 用の TFT アレイの特性試験においては、有機 EL の塗布工程の前に電流駆動特性を試験できる手段を提供できることから、電気的な不良を TFT アレイパネルを組み立て前に発見できる。このため量産工程における不良歩留まりを大幅に向上できる。(4) 複数のプローブヘッドを備えて、同時並列的に動作させることによって大型ガラス基板上に形成された複数枚の TFT アレイ
- 15 イパネルを短時間で試験できる。

図面の簡単な説明

図 1 は、本発明の第 1 の実施形態を説明する概略図である。

図 2 は、TFT を用いた駆動回路の実装図である。

- 20 図 3 は、図 1 に示したプローブ装置を用いて、図 2 に示した 1 画素分の駆動回路の試験を行う例を説明する図である。

図 4 は、プラズマ密度、電子温度、ITO 表面積とプラズマ中を流れる電流 I_p を説明する図である。

図 5 は、プラズマ中を流れる電流の電圧－電流特性を説明する図である。

- 25 図 6 は、代表的なグロー放電プラズマにおける圧力と電子温度の関係を説明する図である。

図 7 は、本発明の第 2 の実施形態を説明する概略図である。

図 8 は、本発明の第 3 の実施形態を説明する概略図である。

図 9 は、プラズマをプローブヘッドの内部に閉じ込め構造を説明する図である。

図 1 0 は、本発明のプローブ装置を用いた TFT アレイの電気的特性試験装置のブロック図を説明する図である。

図 1 1 は、TFT アレイの電気的特性試験装置の動作手順を説明する図である。

図 1 2 は、プローブヘッドの TFT アレイパネル上の動作を説明する図である。

5 図 1 3 は、液晶駆動用 TFT アレイとその試験方法を説明する図である。

発明を実施するための最良の形態

以下に添付図面を参照して、本発明の好適実施形態となるプローブ装置及びそれを用いたディスプレイ基板の試験装置について詳細に説明する。

- 10 図 1 は、本発明の第 1 の実施形態を説明する概略図であり、本発明によるプローブ装置 5 を用いたディスプレイ基板試験装置 1 0 の基本構造が示される。図中において、7 はプラズマ、1 1 はガラスディスプレイ基板（以下単にディスプレイ基板ともいう。）、1 2 は TFT、1 3 は ITO 電極、1 4 はドライブ線、1 6 は電流注入電極を示している。図示されるように、ディスプレイ基板 1 1 の表面には透明な
- 15 ITO(Indium Tin Oxide)電極 1 3 が形成される。通常、ディスプレイ基板 1 1 は、画素に対応した駆動回路を有しており、上述の ITO 電極 1 3 は、各駆動回路に対応して設けられる。即ち、ディスプレイ基板 1 1 には、駆動回路が二次元的に配列されて、画素を構成しており、上述の ITO 電極 1 3 及びそれに接続される TFT 1 2 も二次元的に配置され、これを TFT アレイと呼んでいる。図 1 では、その TFT ア
- 20 レイの一部分のみが模式的に示される。また、一つの画素を構成する駆動回路には、通常 2 以上の TFT が含まれるが、図 1 では、便宜上最終段の TFT 1 2 のみが示される。

- 本実施形態によるディスプレイ基板装置 1 0 は、ディスプレイ基板 1 1 における各駆動回路の TFT の動作を試験すべく、ディスプレイ基板 1 1 の ITO 電極 1 3 に
- 25 対して非接触にして駆動回路に電流注入を行う手段を提供するものである。本発明では、電流注入電極 1 6 と ITO 電極 1 3 との間に、導電性を有するプラズマ 7 が形成される。図 1 中には、プラズマ生成手段は図示されないが、プラズマ生成のために、少なくとも適当な減圧手段、ガス注入手段、電極手段がディスプレイ基板 1 1 近傍に配置される。

プラズマ 7 を発生させたときには、ディスプレイ基板 1 1 上の ITO 電極 1 3 の表面はプラズマ 7 に略接しており、ディスプレイ基板 1 1 に対向した位置では電流注入電極 1 6 がプラズマ 7 に略接している。この状態で所定の TFT 1 2 をオン状態とし、電流注入電極 1 6 とドライブ線 1 4 との間に電圧 V_p を加えた場合には、プラズマ中を電流 I_p が流れるので、これを計測することによって駆動回路における TFT 1 2 の動作を確認することができる。従って、TFT アレイを順番にオン状態にしてそれぞれの電流 I_p を計測することで全ての TFT アレイの電気的特性を知ることができる。

図 2 は、特に、有機 EL ディスプレイに用いられるディスプレイ基板上の TFT アレイの 1 画素分に相当する駆動回路を示す概略平面図である。図示される 1 画素分の回路が、ディスプレイ基板 1 1 (図 1 参照) の表面に二次元にアレイ配列されている。図中の参照番号 1 2 は TFT、1 3 は ITO 電極、1 4 はドライブ線、1 5 はデータ線、1 7 はゲート線、1 8 は TFT、1 9 は静電容量 C_s をそれぞれ示している。ITO 電極 1 3 を除いたゲート線、ドライブ線、TFT 等は絶縁体膜で表面を覆われているために、試験時にプラズマ中に曝されてもプラズマの導電性によって互いに電氣的に短絡して動作不良を起こすことはない。

図 3 は、図 1 に示したプローブ装置を用いて、図 2 に示した 1 画素分の駆動回路の試験の例示である。図においてゲート線駆動回路 2 1、データ線駆動回路 2 2 及び試験用電源 2 3 が新たに付加されている。ゲート線駆動回路 2 1、データ線駆動回路 2 2 及び試験用電源 2 3 はプローブ装置 5 を用いる試験装置 1 0 に備えられる。データ線駆動回路 2 2 からデータ線 1 5 に電圧 V_1 を印加した状態で、ゲート線駆動回路 3 1 から試験対象の TFT トランジスタ Tr_1 をゲート線 1 7 を介して電圧 V_2 を加えることによってオン状態とし、これによりトランジスタ Tr_2 をオン状態に設定できる。この時、試験用電源 2 3 によって電圧 V_p をドライブ線 1 4 に印加すればプラズマ 7、ITO 電極 1 3、電流注入電極 1 6 を介して閉回路が形成される。

Tr_2 が正常に動作している場合には、プラズマを介して流れる電流 I_p はドライブ線 1 4 を経由して Tr_2 に流れる電流 I_b と一致する。仮に I_p が I_b に一致しない場合には、 Tr_2 のゲートのリーク、ITO と各々の制御線のリークなどの不良が考えら

れる。また I_p が全く流れない場合には、 $Tr2$ の短絡不良等が考えられる。通常の有機 EL ディスプレイにおいては、各々の有機 EL を駆動するために必要なドライブ電流は、数マイクロアンペアから 10 マイクロアンペア程度であることから、 $Tr2$ を流れる I_b はそれに対応した電流が正常に流れることを確認すれば良い。上記と

5 同様の手順の測定をデータ線 15 及びゲート線 17 を順次切り替えて行うことによって、ディスプレイパネル上の全ての TFT アレイの電気的特性を試験できる。

次に本発明で使用されるプラズマの特性について図 4 を用いて説明する。図 4 において、参照番号 34 は平行平板を用いた電流注入電極を示す。ここで ITO 電極の表面積を S 、プラズマ 7 の密度を N_e 、プラズマ 7 中の電子温度を T_e とする。こ

10 で、電流注入電極 34 の表面積は各々の ITO 電極 13 の表面積に比べて遥かに大きく、プラズマ中を流れる電流 I_p は 1 つの ITO 電極 13 の表面積 S を流れる電流によって決まるものとする。また計算を簡単にするために、ここでは、プラズマ 7 中の全ての原子が電子と陽イオンに電離した状態にある完全電離プラズマとする。この時、電流注入電極 34 とからプラズマ 7 を介して ITO 電極 13 に流れる電流 I_p

15 と、両者の電極の間に加えた電圧 V_p との関係は、図 5 の様な三つ折れ線で近似され、式 1 に示される電流－電圧特性になる。

$$I_p = I_1 \tanh(e V_d / 2 k T_e) \quad (\text{式 1})$$

ここで、 k はボルツマン定数、 m は電子の質量、 e は電子の電荷である。また、折れ線の交点を示す飽和電流 I_1 は式 2 で示される。

$$I_1 = N_e e s (k T_e / 2 p m)^{1/2} \quad (\text{式 2})$$

ここで、代表的なグロー放電プラズマの例を考えて、電子温度 T_e を 23,200K (= 2.2eV)、ITO 電極の表面積を S を $1 \times 10^{-8} \text{ m}^2$ (= $100 \mu\text{m} \times 100 \mu\text{m}$) とする。TFT に流れる最大電流 T_1 を 10uA とすると、折れ線の交点に相当する飽和電圧 V_p は 8 V となる。この様な電流－電圧特性を得るために必要となるプラズマ

25 密度は、式 2 から求められ 2.6×10^{16} 個/ m^3 となる。

上記の検討から必要となるプラズマ密度 $N_e = 2.6 \times 10^{16}$ 個/ m^3 、電子温度 $T_e = 23,200\text{K}$ (= 2.2eV) のプラズマが必要になる。この様なプラズマを発生する手段としては、例えばサイクロトロン共鳴を用いた ECR プラズマ源(最大 N_e ; 1×10^{18} 個/ m^3 、最大電子温度 ; 15 eV)、或いは誘導結合を用いた ICP プラズ

マ源（最大 Ne ; 1×10^{18} 個/ m^3 、最大電子温度 ; 10 eV）などが有る。また、式 1 と式 2 から、電子温度 T_e とプラズマの導電率 s との関係は、 s が $T_e^{3/2}$ に比例する。一般的なグロー放電プラズマにおける圧力と電子温度 T_e との関係は図 6 の様な特性を示すことから、高い導電率を得るためには、プラズマが発生できる限り低い圧力（例えば 0.1 Pa 程度）で発生させる方が望ましい。

表 1 は、良好な導電率を得るために必要なプラズマ発生用ガスの比較を示している。一般的に高いプラズマの導電率を得るためには、低いエネルギーで原子が電離され易い、低い電離電界を有するガスが望ましい。また、その種のガスに電離電界の低いナトリウム、カリウム、セシウム等のアルカリ金属を混ぜても良い。更に、ITO 等の電極表面に加速された陽イオンが衝突した場合の損傷を極力少なくするために、質量の小さな元素が望ましい。更には、陽イオンが ITO 表面と化学的に結合しないガスが望ましい。一例としてではあるが、ITO のような酸化物に対しては、化学的な結合をせずに、かつ比較的小さな電離電界と質量を有する酸素が適している。

<表 1>

	元素記号	電離電界 (eV)	原子量
不活性 ガス	He	24.6	4.003
	Ne	21.6	20.18
	Ar	15.8	39.95
	Kr	14	83.8
	Xe	12.1	131.3
アルカリ 金属	Na	5.1	22.99
	K	4.3	39.1
	Cs	3.9	132.9
	H	13.5	1.008
	N	14.5	14.01
	O	13.6	16

以上、本発明の第 1 の実施形態により、TFT アレイの表面に物理的に接触することなく、各々の TFT 並びに駆動回路の電氣的試験を行うことが出来る。このため

TFT アレイと ITO 電極に物理的な損傷を与えずに試験が可能である。また本実施

形態においてはTFTアレイを広範にプラズマと接触させることが可能なことから、プローブと各々のTFTアレイとの物理的な位置決めを必要としない。このためにTFTアレイ1個あたりの試験時間は、基本的にプラズマ中でTFTが電氣的にスイッチングし得る速度で決まることから、高速の試験手段を提供できる。本発明は、

5 特に有機EL等の電流駆動が必要となる駆動回路の特性を、有機ELの塗布工程の前に実現できる手段を提供できることから、ディスプレイ組立後にTFTアレイの不良が原因となって発生する製品不良を事前に発見できる。また不良個所の修復に必要な情報を容易に得ることが可能となり、TFTアレイの不良率を著しく低減できる効果がある。

10 図7は、本発明の第2の実施形態を説明する概略図である。図7においては、参照番号55は電流制御電極、56はアノード、57はプローブヘッド、58は磁石、59はガスの流れ、51はアノードバイアス、52はTFT電源バイアスをそれぞれ示している。図7の例では、サイクロトロン共鳴を用いたECRプラズマ源を例示しており、磁石58は電磁石である。またプラズマ励起のためのマイクロ波源も必要とされるが、図7では省略される。プラズマ源の種類としては、本発明の第1

15 の実施形態で示したプラズマ密度と電子温度を満足するものであればECRプラズマ源に限定されない。プラズマ源によって発生されたプラズマ7はプローブヘッド57の内部に満たされた状態となり、ディスプレイ基板11の表面に略接する。

一般的にプラズマがITO電極13の表面に触れた場合には、ITO表面が負の電

20 位に帯電して、更にはITO表面近傍のプラズマの中性状態が崩れて陽イオンが増加した状態になる。通常この様にイオンが増加してプラズマの中性状態が崩れた領域をイオンシース（鞘）と呼ぶ。陽イオンを含むイオンシースが発生した場合には、負の電位に帯電したITO表面に対しシース内部には正の電界が発生する。この電界はITO表面に向かって陽イオンを加速させる。即ち、加速された陽イオンの数に応じた電流が、プラズマ7を介してオン状態のTFT12に流入する。この時に、イオンシースによる加速電界が過剰に大きな場合にはTFT12に設計許容値以上の電

25 流が流れてTFT12が破壊される場合が有り得る。また電源 V_p の電位の制御のみでは適正な電流値への設定が難しくなる。

図7に示すように、イオンシースの発生による過剰な電界を補正するための手段

が設けられる。アノード 5 6 にはアノードバイアス 5 1 が、また TFT アレイ 1 2 の電源電圧には TFT 電源バイアス 5 2 が接続される。両方のバイアス電圧は、シース電界による過剰な電流を低減して、TFT が破壊されることなく正常に動作できる条件に設定する。この様な最大電流条件に各々のバイアス電源を設定した後に、

5 電流制御電極 5 5 によって試験に必要な電流を制御する。この目的のための電流制御電極 5 5 の形状としては、例えば網状あるいは格子状が好適である。本実施形態においても TFT 1 2 の試験に必要なとなるプラズマの密度と電子温度は、第 1 の実施形態で示した条件と同様である。また、TFT の試験方法及び、良品または不良の判断基準についても第 1 の実施形態と同様である。

10 以上、本発明の第 2 の実施形態を用いることによって、ITO 電極表面に発生するイオンシースによる TFT への過剰な電流注入を避けることが可能となり、TFT を過剰電流から破壊すること無く、適切な電流値に制御することが可能となる。

図 8 は、本発明の第 3 の実施形態を説明する図 7 に類似の概略図である。図 8 において、参照番号 6 2 は信号切替器、6 3 はプラズマ吹出し穴、6 4 は電流注入電極である。図 8 におけるプラズマ源は、図 7 に記載の第 2 の実施形態と同等である。プローブヘッド 6 7 の底面には、プラズマ吹出し穴 6 3 が設けられており、そこからプローブヘッド 6 7 内部のプラズマがガス 5 9 の圧力によって ITO 電極 1 3 の表面に吹出す。プラズマ吹出し穴 6 3 の中心位置は各 ITO 電極 1 3 の中心位置に一致しており、ITO 電極 1 3 と同様に二次元にアレイ配列される。これによって ITO

15 電極 1 3 の表面近傍のみにプラズマを集中して照射できる。各々のプラズマ吹出し穴 8 3 の中心には電流注入電極 6 4 が配置されており、電流注入電極 6 4 からの信号は信号切替器 2 2 に導かれる。電流注入電極 8 4 は ITO 電極 1 3 に近接して設置されことから、プラズマを通過する空隙の導電抵抗を低くできる。一方、吹出し穴の外周ではプラズマ吹出し穴 6 3 から吹出されたプラズマの密度が低いために、電

20 流注入電極 8 4 の相互間の導電抵抗を高くできる。

25 プローブヘッド 6 7 は全ての電流注入電極 6 4 が ITO 電極 1 3 の中心位置に対応する位置に位置決めされる。オン状態にある TFT のドライブ線 1 4 は電源 V_p を介して信号切替器 6 2 に接続されており、これと同期して電流注入電極 6 4 の信号を選択する。アノードバイアス 5 1、TFT 電源バイアス 5 2 の効果と設定条件に

については、第2の実施形態と同様である。本発明の第3の実施形態を用いることによって、着目するITO電極13からの信号を選択的に検出することが可能となり、隣接のTFTの漏れ電流などの雑音が、プラズマを介して試験対象のTFTに伝導しない。このため、検出精度の高い試験手段を提供できる。

- 5 図9は、プローブヘッド57の周辺部の断面図を示す概略図である。図9において、参照番号75はディスプレイ基板11上に形成されたTFTアレイ領域、76は回路領域、77はパッド領域を示す。78はプローブヘッド17に形成された排気流路、79は窒素ガス流路である。導電性を有するプラズマ7がプローブヘッド57の外周に漏れて回路領域76やパッド領域77に接触した場合には、パッド相互間で電氣的な短絡を生じて動作不良を引き起こしたり、或いは雑音の原因になり得る。このためプラズマ7を極力プローブヘッド17から外部に漏らさない構造が必要である。図9においては、プラズマ7がディスプレイ基板11との隙間から漏れない様に、排気流路78によって常にプラズマ7を外部に排気する。同時に、窒素ガス流路79からは窒素ガスをディスプレイ基板11の表面に吹き付けて、プラズマ7をプローブヘッド57の内部に閉じ込める。これによって、TFTアレイ領域75のみにプラズマ7を高密度で維持できることから、パッド領域77及び回路領域76においてプラズマの影響を受けないプローブ装置を提供できる。このプローブヘッドの構造は、本発明の第1と第2の実施形態の双方に適用可能である。
- 10
- 15

- 図10には、上述した本発明の第1から第3までの実施形態によるプローブ装置を用いたTFTアレイの試験装置の構成図を示す。図10において、参照番号130はプローブヘッド、131はX,Yステージ、132は真空容器、133はプラズマモニタ、134は真空計、135は補正バイアス制御器、136はロードロック/プラズマ制御器、137はステージ/プローブ位置制御器、138はアレイテストパターン発生器、139はアレイドライバ、140はプラズマ電流制御、141は
- 20
- 25 D/A変換器、142は電圧-電流変換器、143及び146はローパスフィルタ、144及び145はマトリクス、147は電流-電圧変換器、148はA/D変換器、149はデジタル比較器である。図11には、図10に示した試験装置の動作手順を示している。

被試験対象のディスプレイ基板1はX,Yステージ131上に搭載されており、

XY 方向に二次元に移動できる。これによってプローブヘッド 130 から発生したプラズマ 7 を任意の TFT アレイ領域に移動できる。X,Y ステージの移動及びプローブヘッド 130 の上下制御はステージ/プローブ位置制御器 137 によって行う。プローブヘッド 130 の外周には、図 9 に説明したプラズマをプローブの外部に漏洩しないための排気流路 78 及び窒素ガス流路 79 を備え得る。

プラズマを発生するために装置内部は真空容器 132 の内部に収納されており、プラズマモニタ 133 によってプラズマ源から発生するプラズマの密度と電子温度をモニタする。真空計 134 は、真空容器 132 内部の真空度をモニタする。ディスプレイ基板 11 を真空容器 132 から出し入れする際に、真空容器 132 内部を一旦大気圧に戻す必要なく、常に真空を維持できるように別の真空容器が併設（図 10 では省略）されており、真空容器の間にはロードロックが設けられる。ディスプレイ基板が真空容器 132 の内部に導入された後に、真空計 134 によって所望の真空度に到達したことを確認した後に、ガスをプローブヘッド 130 の内部に導入して、高周波を供給してプラズマを発生する。ロードロック/プラズマ制御器 136 はこのための一連の制御を行う。

アレイテストパターン発生器 138 は、データ線とゲート線を介して電氣的にマトリクスを順次選択してオン状態に設定する。アレイテストパターン発生器の信号は、アレイドライバ 139 によって試験対象となるディスプレイ基板 11 の外部インターフェースの論理レベルに変換される。アレイドライバ 139 の信号は、例えば金属針を用いたパッド領域 77 への物理的な接触を用いて行う。補正バイアス制御器 135 は、プラズマ中に発生したイオンシースによる過剰な電位差を補正するために、図 7 及び図 8 に示したアノードバイアス 51 及び TFT 電源バイアス 52 の機能を有する。

プラズマ電流制御器 140 は、プラズマ中に注入する試験電流を制御する。プラズマ電流制御器 140 からデジタル制御信号は D/A 変換器 141 によってアナログ電圧に変換され、電圧-電流変換器 142 によって必要に応じて電流に変換される。ローパスフィルタ 143 はプラズマ源に供給する高周波が試験装置側に混入して試験信号に雑音を発生させない様に除去する目的を有する。マトリクス 144 はプローブヘッド 130 内部の任意の電流注入電極に選択的にプラズマ電流制御

器 1 4 0 から発生した試験電流を供給する目的を持ち、本発明の第 2 の実施形態における信号切替器 6 2 の機能を有する。

アレイテストパターン発生器 1 3 8 によって、オン状態に設定された TFT の電流はマトリクス 1 4 5 とローパスフィルタ 1 4 6 を介して電流－電圧変換器 1 4 7 に導かれる。ローパスフィルタ 1 4 6 の目的は、ローパスフィルタ 1 4 3 と同様である。電流－電圧変換器 1 4 7 によって電圧に変換された電流は A/D 変換器 1 4 8 によってデジタル信号に変換された後に、デジタル比較器 1 4 9 において入力したプラズマ電流 1 4 0 と比較される。入力電流とプラズマ並びに TFT を通じて検出された電流が位置すれば、試験対象の TFT は良好に動作しているものと判定される。不一致の場合には不良と判定される。この様な一連の判定作業を、全ての TFT アレイに対し全て自動的に行うことで、TFT アレイの電氣的な特性を高速で試験できる。

図 1 2 は、図 1 0 に示したプローブヘッド 1 3 0 の動きを説明するために、プローブヘッド 1 3 0 の上面からガラスディスプレイ基板 1 1 を見た図である。試験対象のディスプレイパネルが大きな場合には、図 1 2 に示す様にプローブ 1 3 0 の位置を相対的に順次移動させて試験を行い、最終的に全ての TFT アレイの試験を終了する。このためのプローブヘッド 1 3 0 の形状は、図 1 2 に例示した正方形に限定されず、例えば図の上下方向に TFT アレイ領域をカバーする長方形を有し、図の左側から右側に向かって 1 回の移動で全ての TFT アレイをカバーする構成を有しても、十分に本発明の目的を遂げることができる。また、通常、ディスプレイパネルの生産においては、大型のガラス基板上に複数枚のディスプレイを同時に形成して、組み立て後に切り離す場合が多い。この様な複数のディスプレイパネルの量産試験に対応するためには、図 1 0 に示すプローブヘッド 1 3 0 を複数備えることができる。この場合に、同時並行してディスプレイの試験を行うことによって試験時間を大幅に短縮できる。

以上、本発明の 3 つの実施例を用いたプローブ装置及びそれを用いたディスプレイ基板試験装置は、ガラス基板上の TFT アレイの電氣的特性試験に好適である。また本発明を用いるプローブ装置及びそれを用いたディスプレイ基板試験装置は、ガラス基板上に形成された TFT アレイのみに限定される物ではなく、例えば樹脂

基板あるいはシリコン基板上に形成された TFT アレイの試験にも適用できる。また、本発明のプロブ装置はディスプレイ基板の試験用途に限定される物ではなく、他の電子回路の特性試験に広く適用できることは言うまでもない。

- 5 上述した本発明の好適実施形態はあくまでも例示的なものであり、本発明を制限するものではなく、当業者によって様々な変形、変更が可能である。例えば、上述の好適実施形態では、プラズマの発生源は単一とされるが、発生源は複数であっても良く、特に、各駆動回路に対応して所定の数のプラズマを発生させることもできる。この場合も各駆動回路のための計測は独立して行われ得る。

請求の範囲

1. 被試験回路に接続される電極又は配線と試験電極との間に比較的高密度のプラズマを生成し、該プラズマを介して前記電極又は配線と前記試験電極との間に試験
5 信号を伝送させ、前記電極又は配線に対して非接触にして前記被試験回路を試験できるように構成されることを特徴とするプローブ装置。

2. 前記被試験回路は、基板上に形成された複数の薄膜トランジスタを含む電子回路とされることを特徴とする請求項 1 に記載のプローブ装置。

10

3. 前記基板は、ディスプレイ用基板であり、前記被試験回路及び前記電極又は配線は、ディスプレイの 1 画素を駆動するための駆動回路を構成し、該駆動回路は前記基板上に二次元アレイを形成することを特徴とする請求項 2 に記載のプローブ装置。

15

4. 前記駆動回路の複数単位に亘って前記プラズマを連続するように生成し、試験される所定の駆動回路のみをオン状態にして前記所定の駆動回路に前記試験信号を流入させることにより、前記所定の駆動回路の電気的特性を試験することを特徴とする請求項 3 に記載のプローブ装置。

20

5. 前記試験電極と、前記電極又は配線との間に制御電極を設け、該制御電極に加える電位を制御することによって、前記プラズマを介して伝送される前記試験信号の通過レベルを制御することを特徴とする請求項 1 に記載のプローブ装置。

25 6. 前記試験電極と、前記被試験回路の各々に独立して接続される 2 つのバイアス電源を備え、前記プラズマと試験電極及び前記電極又は配線のそれぞれとの界面近傍の電界を前記バイアス電源の一方又は双方によって制御できるように構成されることを特徴とする請求項 4 に記載のプローブ装置。

7. 前記駆動回路の各単位的位置に対応して前記プラズマを前記基板上で分離させて生成し、且つ分離された位置毎に前記試験電極を設け、それぞれの位置で前記駆動回路に前記試験信号を流入させることにより、前記駆動回路の電気的特性を試験することを特徴とする請求項3に記載のプローブ装置。

5

8. 更に、前記プラズマを発生するプラズマ発生源と、前記プラズマを閉じ込めつつ少なくとも前記駆動回路の前記電極又は配線に対して解放する構成のチャンバ構造とを有することを特徴とする請求項3に記載のプローブ装置。

10 9. 更に、前記チャンバ構造の外周に沿う位置に、前記プラズマを排気する手段又はエアカーテン手段のいずれかを備えることを特徴とする請求項1に記載のプローブ装置。

15 10. 前記プラズマは、前記被試験回路に流れる電流を略 $1\mu\text{A}$ 乃至 $10\mu\text{A}$ とすることのできるプラズマ密度を有することを特徴とする請求項1に記載のプローブ装置。

11. 前記プラズマは、前記電極又は配線に対して化学的に不活性とされることを特徴とする請求項1に記載のプローブ装置。

20

12. 前記プラズマは、少なくとも酸素を電離した成分を含むことを特徴とする請求項1に記載のプローブ装置。

13. 請求項1に記載のプローブ装置と、

25 前記試験電極に提供される試験信号を発生する信号発生源と、

前記試験信号と、前記基板上の前記駆動回路の各々に前記プラズマ及び前記電極又は配線を介して前記試験信号が流入したときに前記駆動回路から出力される出力信号とを比較する信号比較器とを備えることを特徴とするディスプレイ基板の試験装置。

1 4. プローブ装置を試験対象電子回路或いはディスプレイ基板表面に沿って水平二次元方向に移動するためのXY移動手段を備えたことを特徴とする請求項1 3に記載のディスプレイ基板の試験装置。

補正書の請求の範囲

[2004年7月9日(09.07.04)国際事務局受理 : 出願当初の請求の範囲1、4、7、8及び13は補正された; 出願当初の請求の範囲2及び3は取り下げられた。
他の請求の範囲は変更なし。(3頁)]

1. (補正後) 複数の薄膜トランジスタを含む電子回路である被試験回路、及び該被試験回路に接続される電極又は配線を含むディスプレイ基板であって、少なくとも
5 も前記被試験回路がディスプレイの各画素を駆動するための駆動回路を構成して前記基板上に前記駆動回路の二次元アレイを備えるディスプレイ基板の前記被試験回路及び前記電極或いは配線を検査するためのプローブ装置において、

前記電極又は配線と試験電極との間に比較的高密度のプラズマを生成し、該プラズマを介して前記電極又は配線と前記試験電極との間に試験信号を伝送させ、前記
10 電極又は配線に対して非接触にして前記被試験回路を試験できるよう構成されることを特徴とするプローブ装置。

2. (削除)

15 3. (削除)

4. (補正後) 前記駆動回路の複数単位に亘って前記プラズマを連続するように生成し、試験される所定の駆動回路のみをオン状態にして前記所定の駆動回路に前記試験信号を流入させることにより、前記所定の駆動回路の電気的特性を試験するこ
20 とを特徴とする請求項1に記載のプローブ装置。

5. 前記試験電極と、前記電極又は配線との間に制御電極を設け、該制御電極に加える電位を制御することによって、前記プラズマを介して伝送される前記試験信号の通過レベルを制御することを特徴とする請求項1に記載のプローブ装置。
25

6. 前記試験電極と、前記被試験回路の各々に独立して接続される2つのバイアス電源を備え、前記プラズマと試験電極及び前記電極又は配線のそれぞれとの界面近傍の電界を前記バイアス電源の一方又は双方によって制御できるよう構成されることを特徴とする請求項4に記載のプローブ装置。

7. (補正後) 前記駆動回路の各単位的位置に対応して前記プラズマを前記基板上で分離させて生成し、且つ分離された位置毎に前記試験電極を設け、それぞれの位置で前記駆動回路に前記試験信号を流入させることにより、前記駆動回路の電気的特性を試験することを特徴とする請求項1に記載のプロープ装置。

5

8. (補正後) 更に、前記プラズマを発生するプラズマ発生源と、前記プラズマを閉じ込めつつ少なくとも前記駆動回路の前記電極又は配線に対して解放する構成のチャンバ構造とを有することを特徴とする請求項1及び請求項4乃至7のいずれか一つに記載のプロープ装置。

10

9. 更に、前記チャンバ構造の外周に沿う位置に、前記プラズマを排気する手段又はエアカーテン手段のいずれかを備えることを特徴とする請求項1に記載のプロープ装置。

15 10. 前記プラズマは、前記被試験回路に流れる電流を略 $1\mu\text{A}$ 乃至 $10\mu\text{A}$ とすることのできるプラズマ密度を有することを特徴とする請求項1に記載のプロープ装置。

20 11. 前記プラズマは、前記電極又は配線に対して化学的に不活性とされることを特徴とする請求項1に記載のプロープ装置。

12. 前記プラズマは、少なくとも酸素を電離した成分を含むことを特徴とする請求項1に記載のプロープ装置。

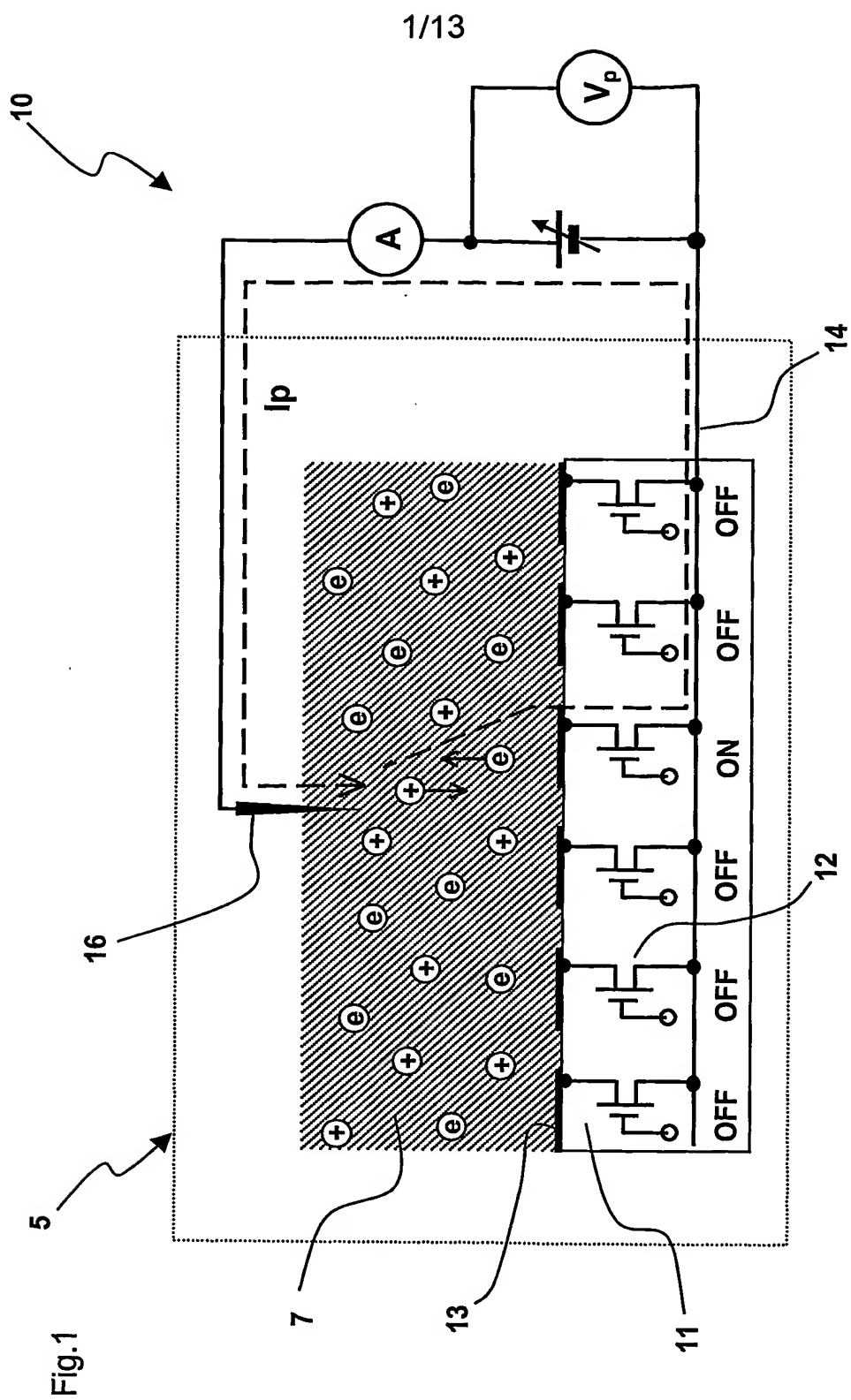
25 13. (補正後) 複数の薄膜トランジスタを含む電子回路である被試験回路、及び該被試験回路に接続される電極又は配線を含むディスプレイ基板の試験装置において、

請求項1及び請求項4乃至12のいずれか一つに記載のプロープ装置と、
前記電極又は配線に提供される試験信号を発生する信号発生源と、

前記試験信号と、前記基板上の前記駆動回路の各々に前記プラズマ及び前記電極又は配線を介して前記試験信号が流入したときに前記駆動回路から出力される出力信号とを比較する信号比較器とを備えることを特徴とするディスプレイ基板の試験装置。

5

14. プローブ装置を試験対象電子回路或いはディスプレイ基板表面に沿って水平二次元方向に移動するためのXY移動手段を備えたことを特徴とする請求項13に記載のディスプレイ基板の試験装置。



2/13

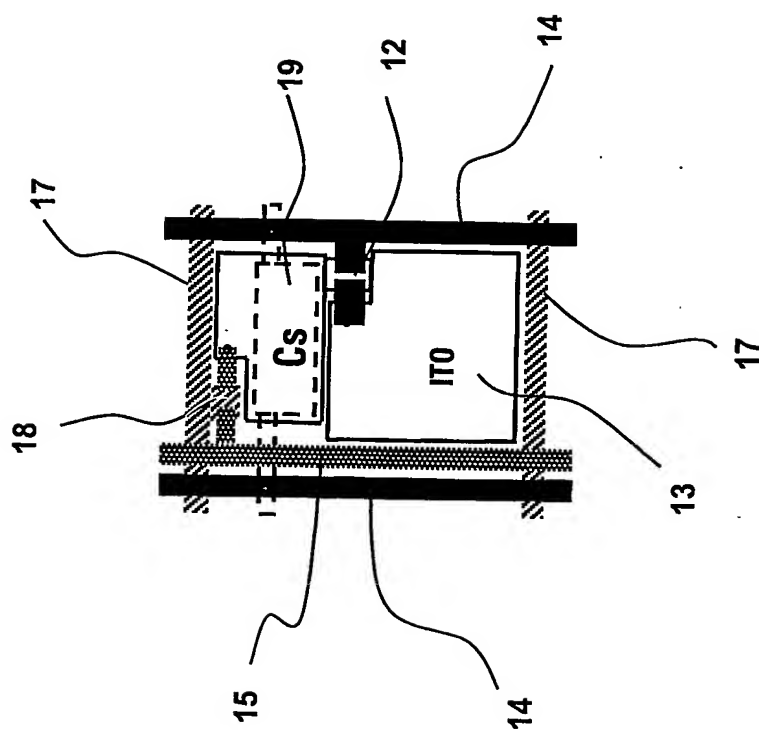


Fig.2

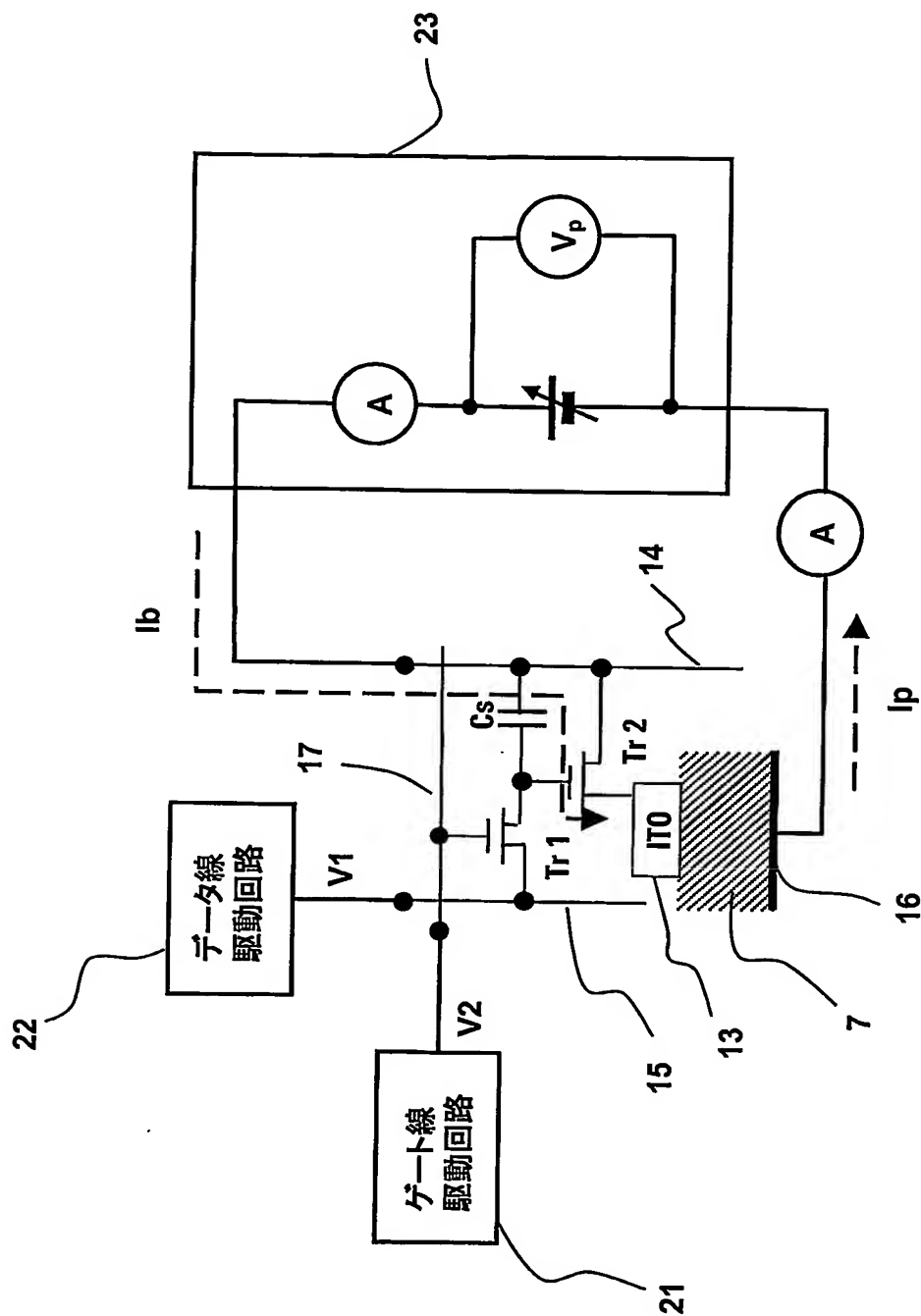


Fig. 3

4/13

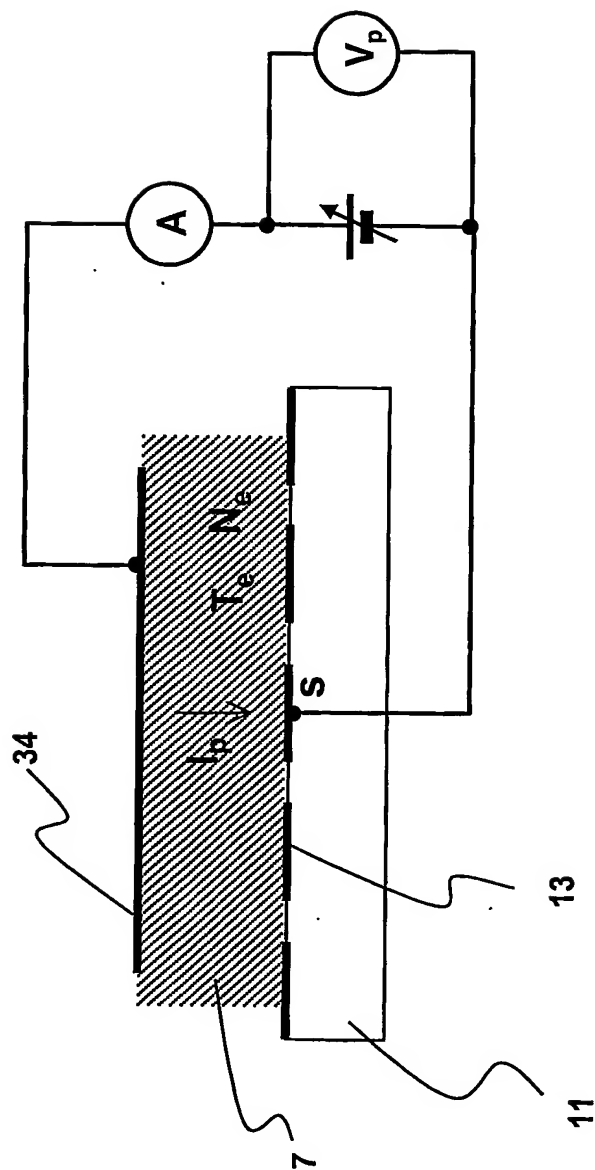


Fig.4

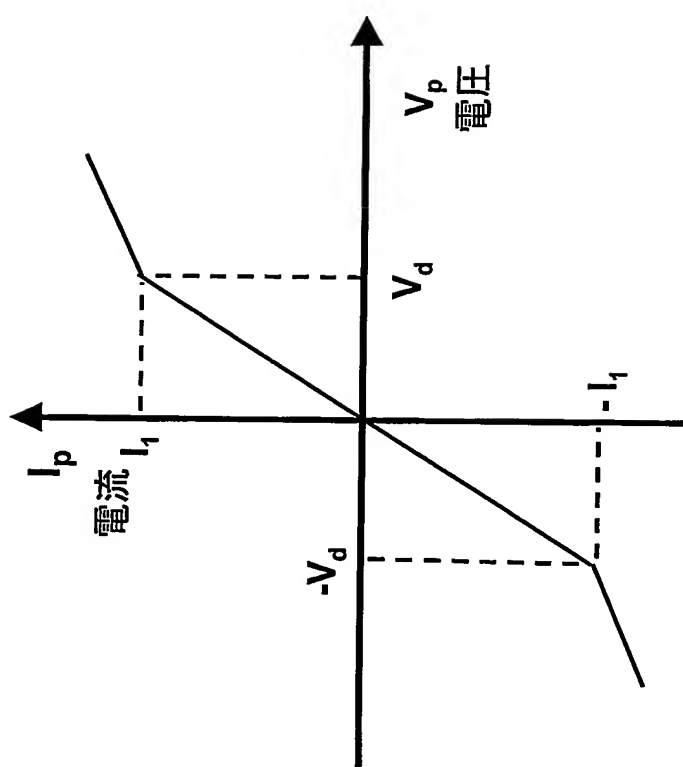
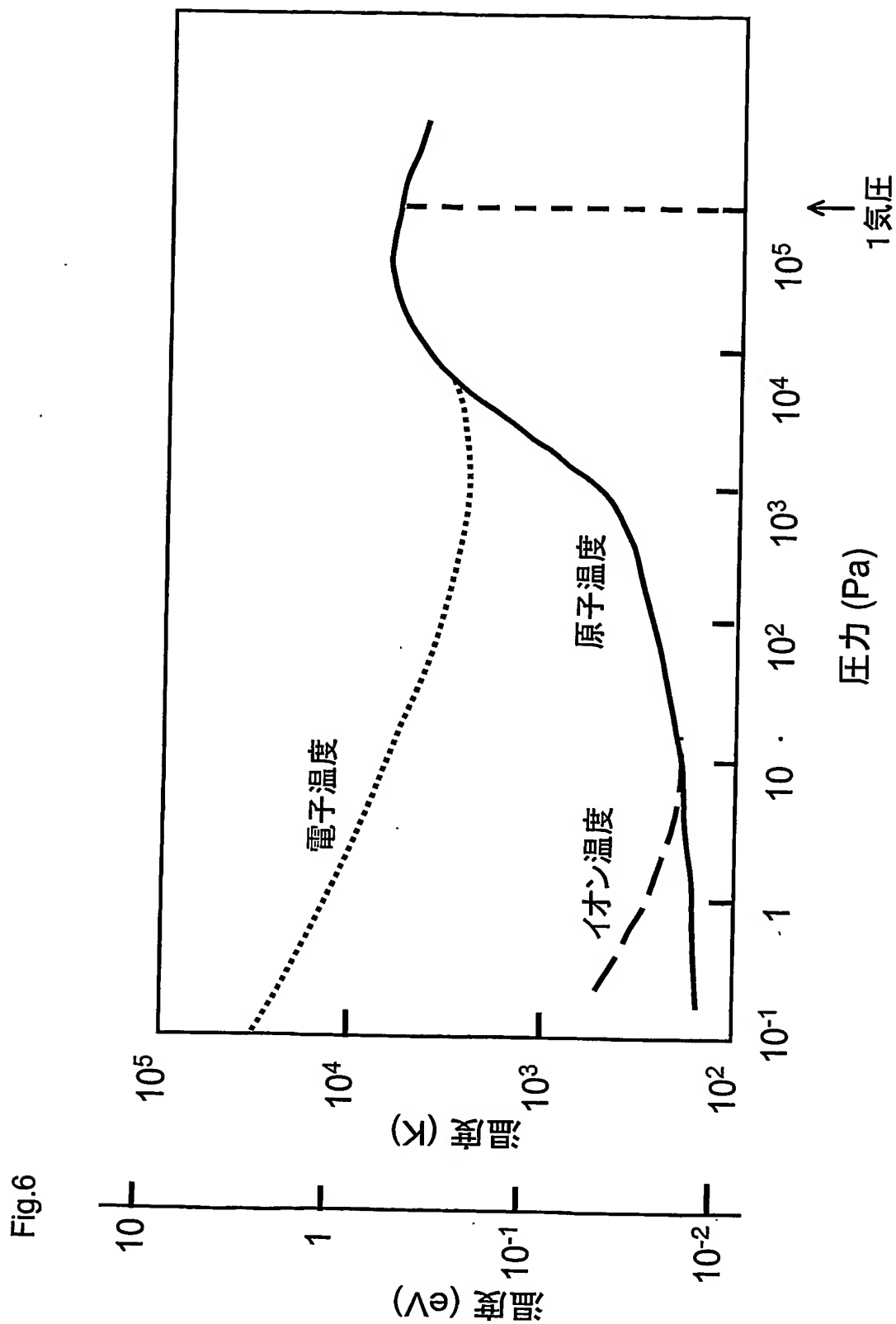


Fig.5

6/13



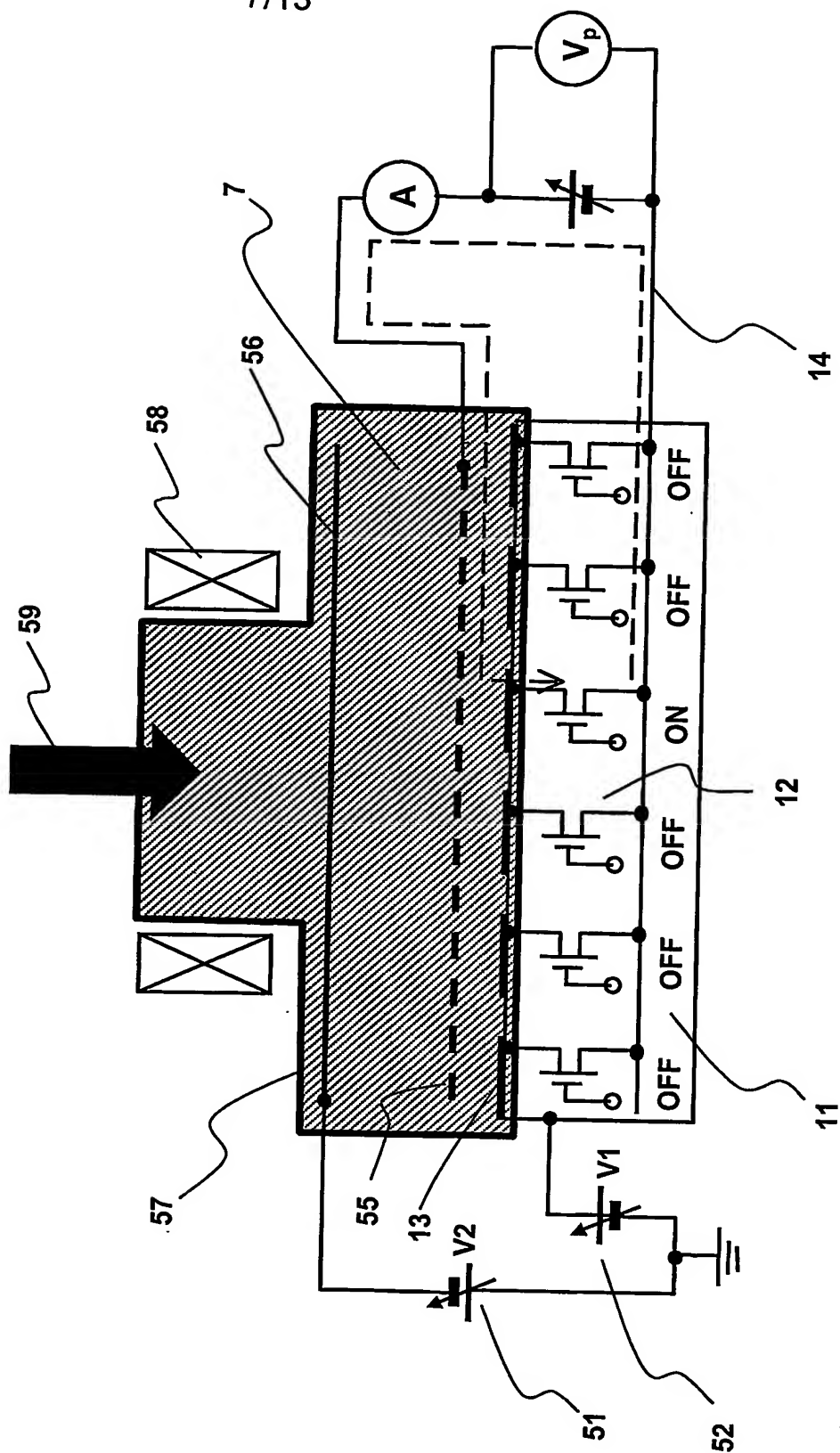


Fig. 7

8/13

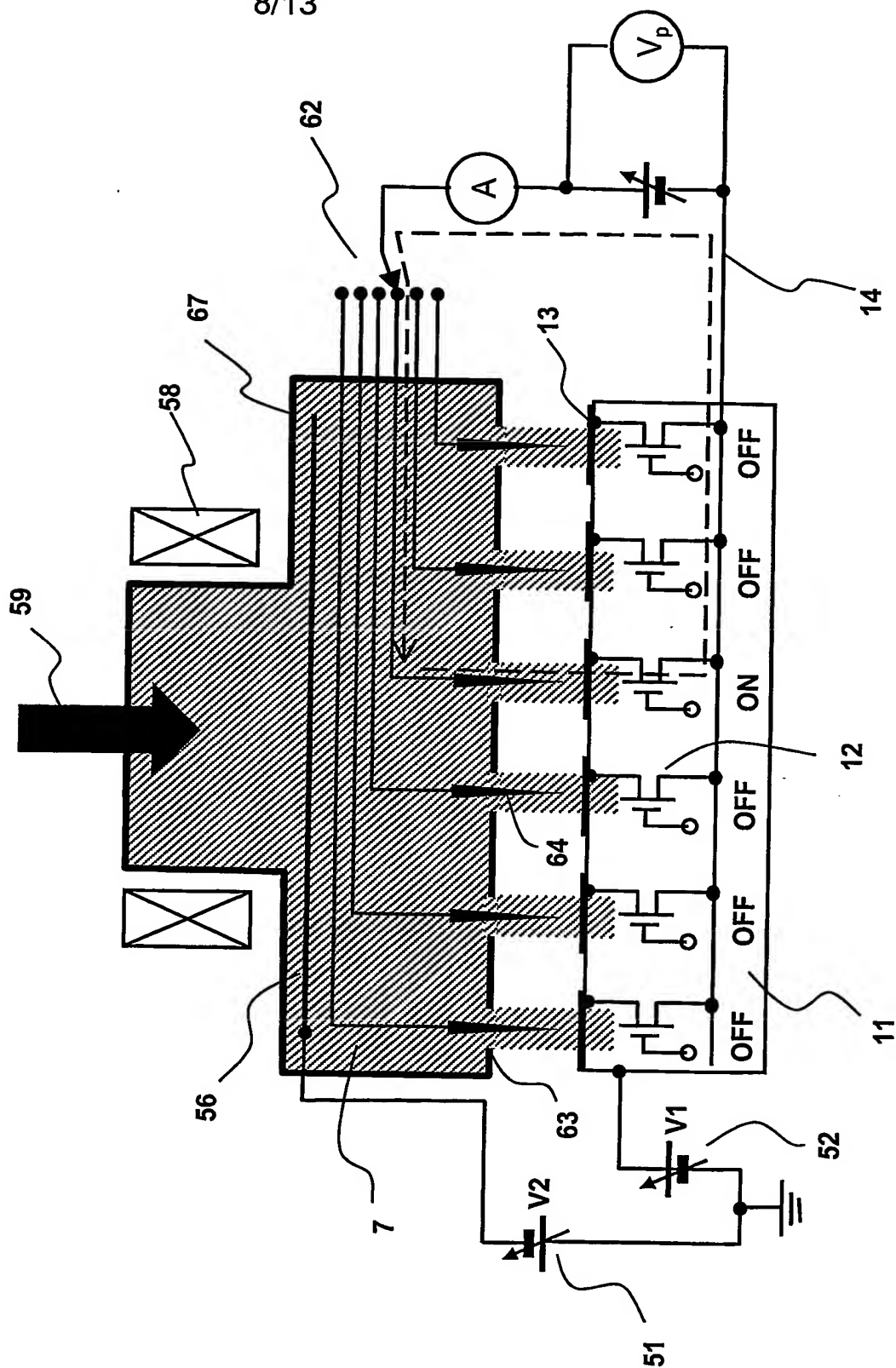
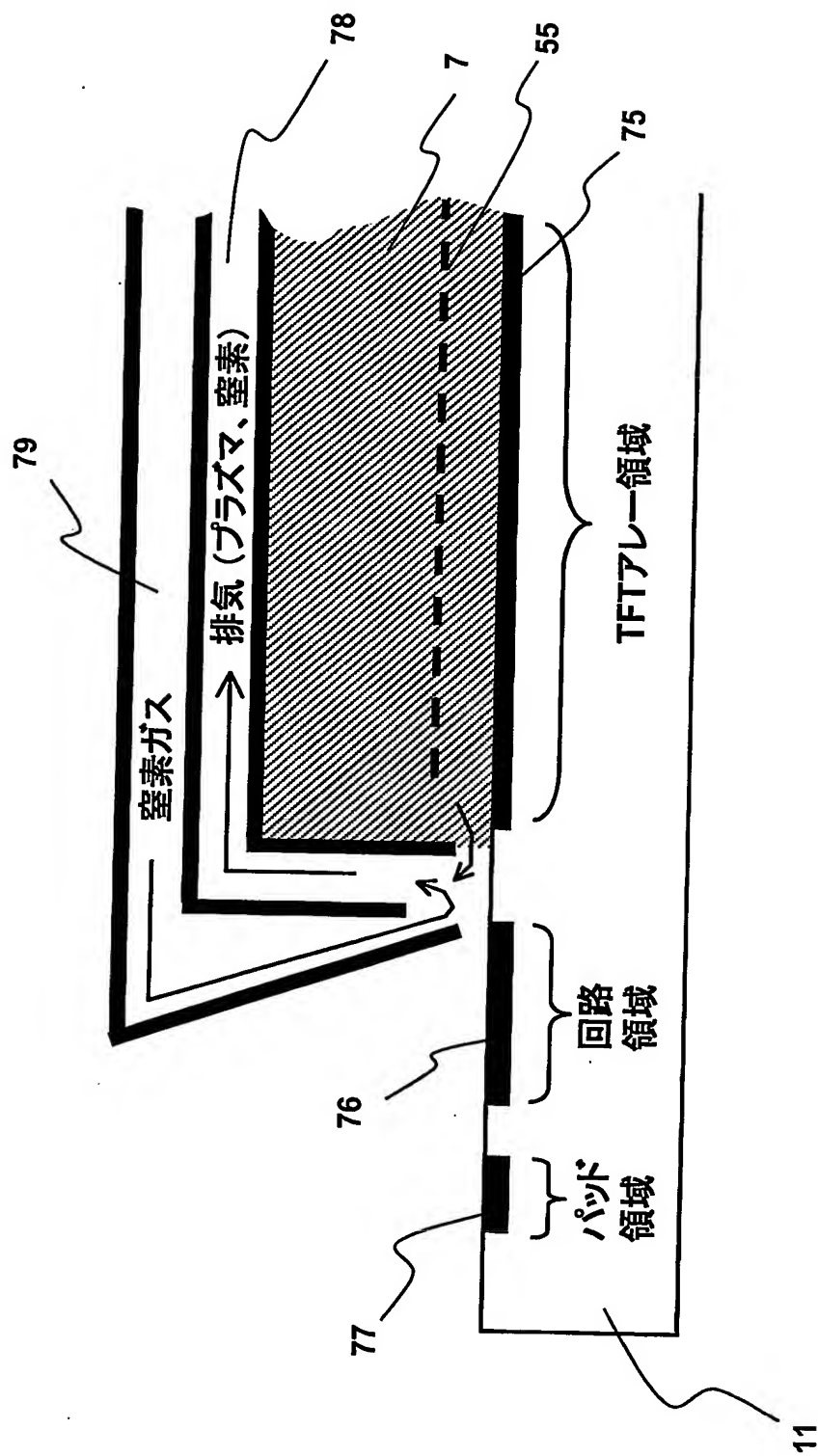
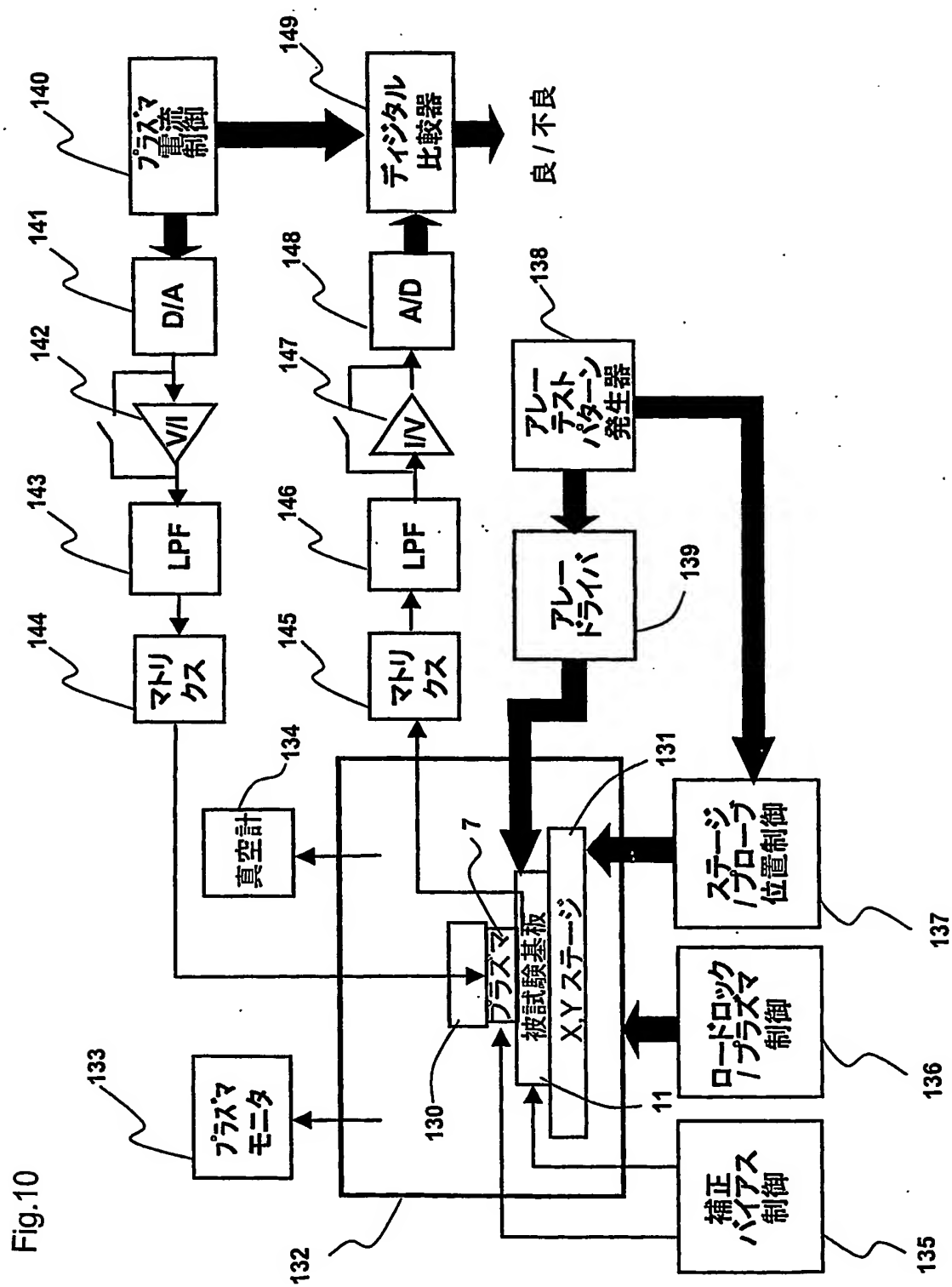


Fig. 8

9/13

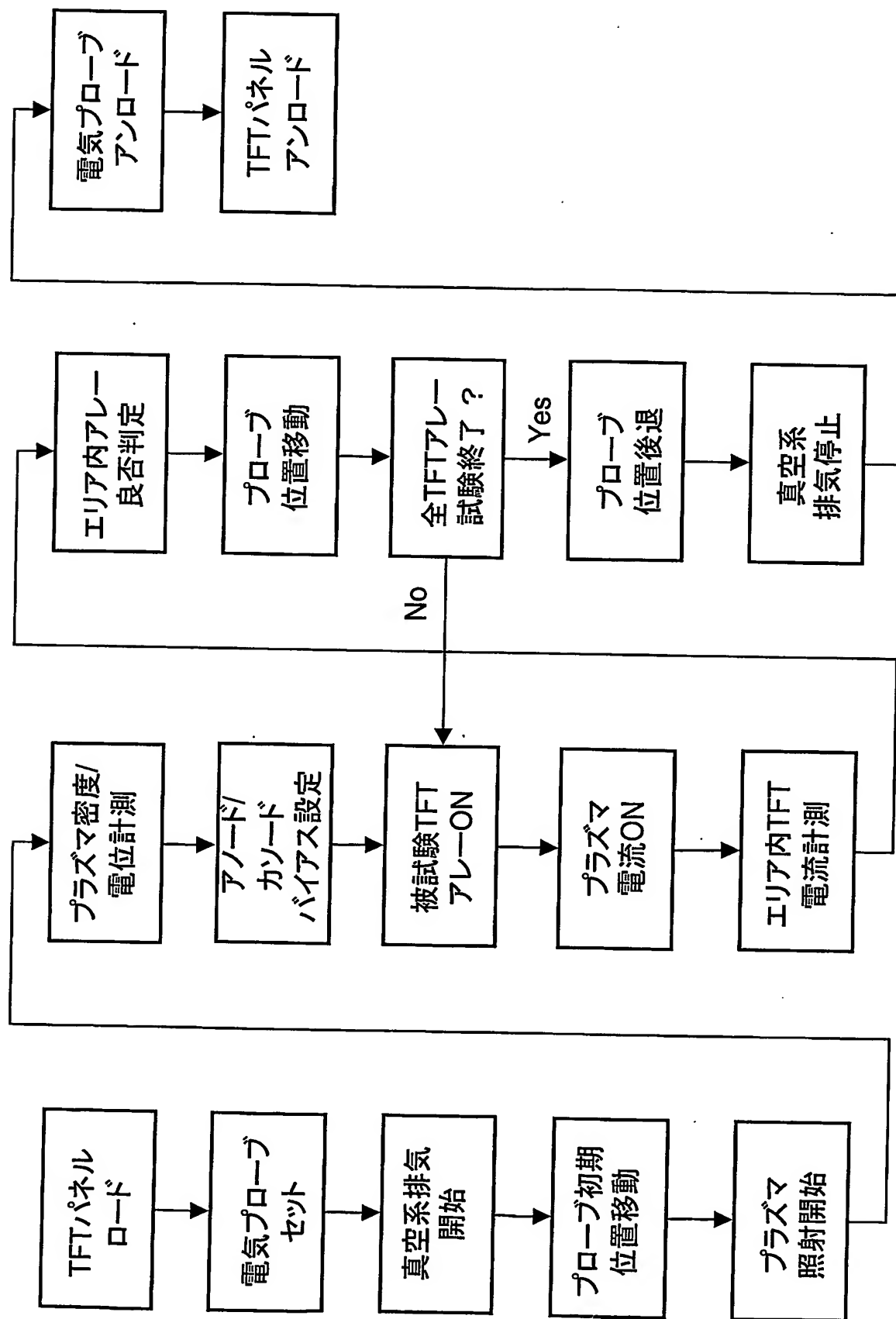
Fig.9





11/13

Fig.11



12/13

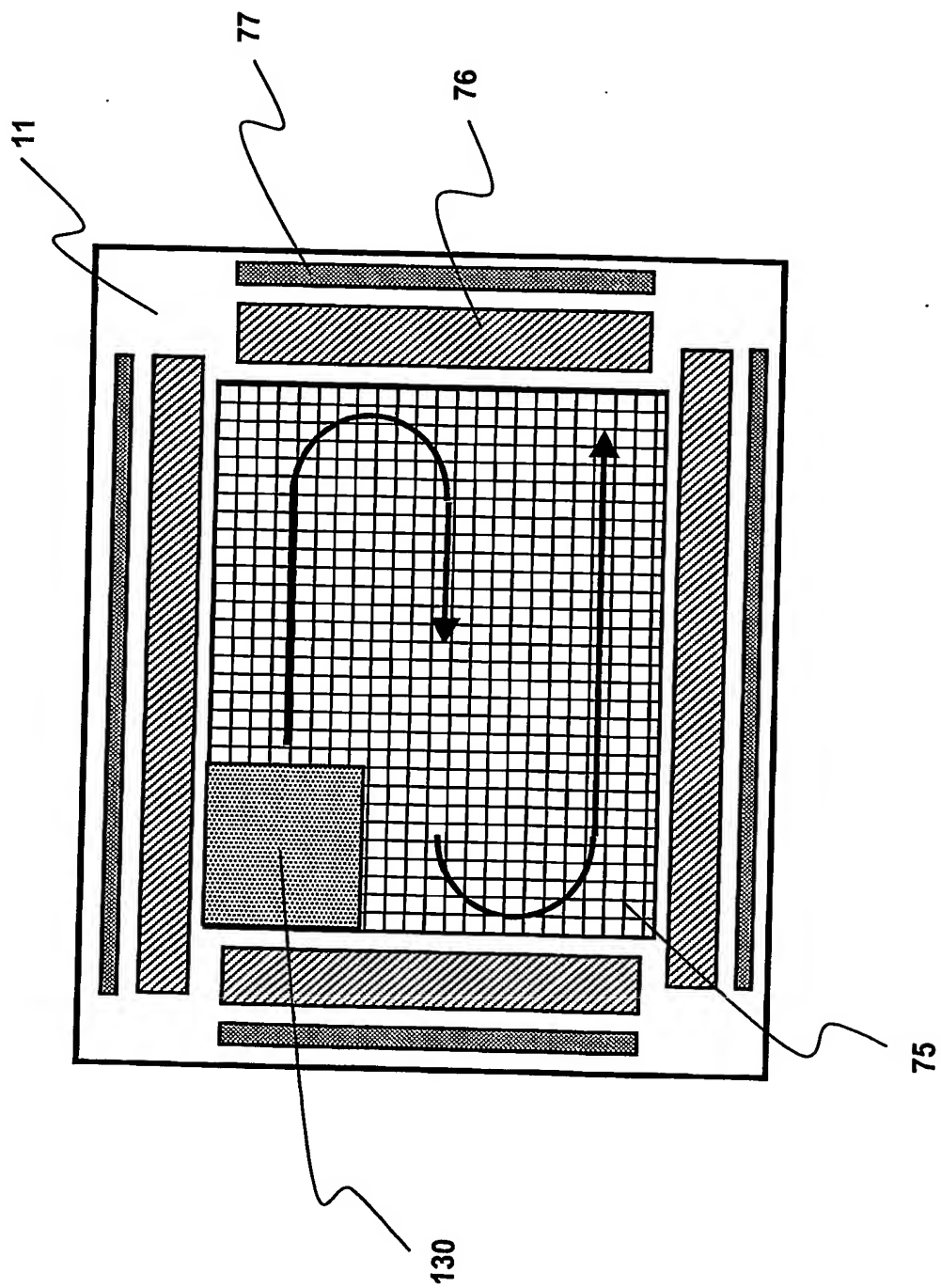
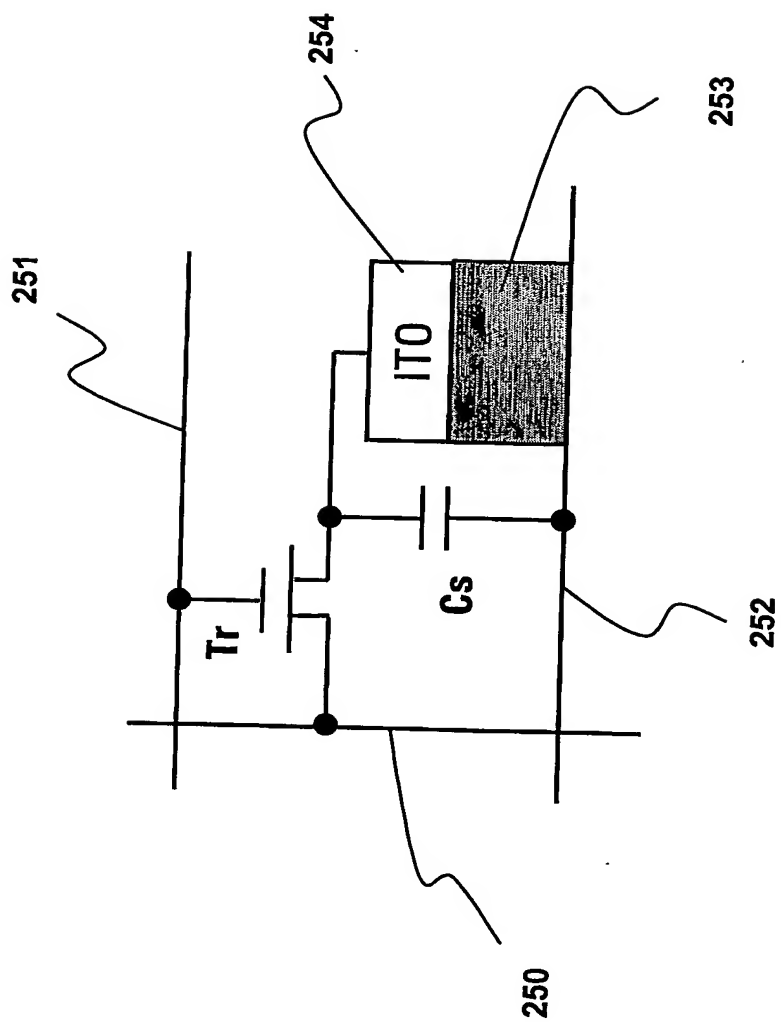


Fig.12

13/13

Fig.13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000631

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01R31/302

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G01R31/28-3193

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2001-272431 A (Delaware Capital Formation, Inc.), 05 October, 2001 (05.10.01), Par. Nos. [0002], [0028], [0029]; Figs. 8, 9, 12, 13 & EP 1122546 A2 Par. Nos. [0001], [0044], [0045]; Figs. 8, 9, 12, 13	1, 10, 13 2-4, 8, 11, 12, 14 6, 9
X Y A	JP 2-002969 A (Siemens AG.), 08 January, 1990 (08.01.90), Full text; all drawings & EP 0322607 A2 & US 4967149 A Whole Document	1, 5, 10, 13 2, 3, 7, 8, 11, 12, 14 6, 9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 April, 2004 (20.04.04)

Date of mailing of the international search report
11 May, 2004 (11.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000631

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
<u>Y</u> A	JP 11-174106 A (Ishikawajima-Harima Heavy Industries Co., Ltd.), 02 July, 1999 (02.07.99), Figs. 6, 7 (Family: none)	<u>2-4, 7, 8, 14</u> 6, 9
<u>Y</u>	WO 00/24048 A1 (APPLIED MATERIALS, INC.), 27 April, 2000 (27.04.00), Page 16, lines 7 to 10; page 22, lines 10 to 13 & JP 2003-526897 A Par. Nos. [0062], [0080]	<u>11, 12</u>
A	JP 2001-093871 A (Tadahiro OMI), 06 April, 2001 (06.04.01), Full text; all drawings (Family: none)	9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G01R31/302

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01R31/28-3193

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2001-272431 A (デラウェア キャピタル フォーメーション, インコーポレイテッド) 2001. 10. 05 [0002], [0028], [0029], 図8, 9, 12, 13 & EP 1122546 A2, [0001], [0044], [0045], FIG. 8, 9, 12, 13	1, 10, 13 2-4, 8, 11, 12, 14 6, 9
X Y A	JP 2-002969 A (シーメンス、アクチエンゲゼルシャフト) 1990. 01. 08, 全文, 全図 & EP 0322607 A2 & US 4967149 A, Whole Document	1, 5, 10, 13 2, 3, 7, 8, 11, 12, 14 6, 9

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20. 04. 2004

国際調査報告の発送日

11. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
堀 圭 史

2 S 3 0 0 5

電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>Y</u> A	JP 11-174106 A (石川島播磨重工業株式会社) 1999. 07. 02, 図6, 7 (ファミリーなし)	<u>2-4, 7, 8, 14</u> 6, 9
<u>Y</u>	WO 00/24048 A1 (APPLIED MATERIALS, INC.) 2000. 04. 27, 第16頁第7-10行, 第22頁第10-13行 & JP 2003-526897 A, [0062], [0080]	<u>11, 12</u>
A	JP 2001-093871 A (大見 忠弘) 2001. 04. 06, 全文, 全図 (ファミリーなし)	9